

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284485

(P2001-284485A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 G 4/12	3 9 4 5 E 0 0 1
H 0 1 G 4/33		H 0 1 L 23/12	L 5 E 0 8 2
4/12	3 9 4	H 0 1 G 4/06	1 0 1
4/38		4/38	A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-92472(P2000-92472)

(22) 出願日 平成12年3月29日 (2000. 3. 29)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 高藤 潤哉

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 久和 俊一

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

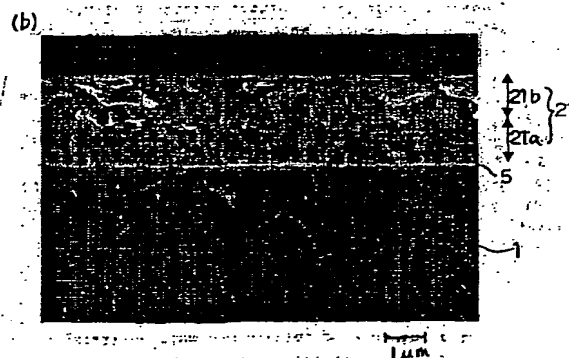
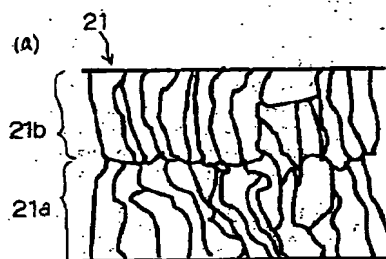
最終頁に続く

(54) 【発明の名称】 薄膜電子部品および基板

(57) 【要約】

【課題】 薄い半田拡散防止層により半田の拡散を防止できる薄膜電子部品および基板を提供する。

【解決手段】 支持基板1と、該支持基板1上に設けられ、絶縁体層3および電極層5、7を有する薄膜素子Aと、電極層5、7に半田拡散防止層21を介して接続される半田からなる外部端子11a、11bとを具備するとともに、半田拡散防止層21が、同一材料層21a、21bを2層以上積層してなる。



【特許請求の範囲】

【請求項1】支持基板と、該支持基板上に設けられ、絶縁体層および電極層を有する薄膜素子と、前記電極層に半田拡散防止層を介して接続され、半田からなる外部端子とを具備するとともに、前記半田拡散防止層が、同一材料層を2層以上積層してなることを特徴とする薄膜電子部品。

【請求項2】同一材料層はスパッタリング法で形成されていることを特徴とする請求項1記載の薄膜電子部品。

【請求項3】電極層がAuからなることを特徴とする請求項1または2記載の薄膜電子部品。

【請求項4】半田拡散防止層の厚みが3 $\mu$ m以下であることを特徴とする請求項1乃至3のうちいずれかに記載の薄膜電子部品。

【請求項5】請求項1乃至4のうちいずれかに記載の薄膜電子部品を、その外部端子を介して基体の表面に設けてなることを特徴とする基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜電子部品および基板に関し、例えば、薄膜コンデンサ、薄膜インダクタ、薄膜フィルタ等に好適に用いられる高周波用途の薄膜電子部品および基板に関するものである。

【0002】

【従来技術】近年、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。特に、大量の情報を高速に処理する必要のあるコンピュータの高速デジタル回路では、パーソナルコンピュータレベルにおいても、CPUチップ内のクロック周波数は200MHzから1GHz、チップ間バスのクロック周波数も75MHzから133MHzという具合に高速化が顕著である。

【0003】また、LSIの集積度が高まりチップ内の素子数の増大につれ、消費電力を抑えるために電源電圧は低下の傾向にある。これらIC回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すことが必須になってきている。

【0004】また、素子数の増大に伴う実装精度の向上や、部品実装に伴うリフロー耐性の向上等、前述した受動素子自身の電気的な特性だけではなく、実装に関する特性（実装精度、実装信頼性）も高いレベルで要求されるようになってきている。

【0005】コンデンサの接続部のインダクタンスを低減させる手法に関して、USP4,439,813に、TiW、Ta、Al、Cuからなる下側電極からの電気信号を最短距離で得るため、絶縁層、上側電極および保護層に貫通孔を設け、この貫通孔の内面にCr/Cu/AuからなるBLM層を形成した後、このBLM層上に

半田バンプを形成した薄膜コンデンサが開示されている。

【0006】

【発明が解決しようとする課題】受動部品の高周波用途を考慮する場合、高周波での損失の小さい材料が電極および導体として用いられる。低抵抗な電極材料として、Cu、Ni、AgおよびAuが考えられるが、Cu、Niは耐酸化性に問題があり、誘電体薄膜形成時、磁性体薄膜形成時等、高温での処理が必要な薄膜コンデンサや薄膜インダクタにおいては電極として使用するのが困難であった。

【0007】また、Agは耐酸化性の点ではCu、Niに比較して優れているものの、マイグレーションおよび絶縁層との反応の問題があり、絶縁層の薄い薄膜部品の電極として使用するのは困難であった。

【0008】一方、Auは低抵抗かつ耐酸化性が良好であり、絶縁体および磁性体との反応もないため、高周波用途の薄膜コンデンサや薄膜インダクタの電極として十分使用可能である。

【0009】しかしながら、受動部品の抵抗を下げるためにAu電極を用いた場合、接続強度やリフロー耐性に関して問題があった。即ち、Auは、通常、半田との密着層として用いられるほど、半田と反応しやすく、すぐにAu-Sn合金を形成する。このAu-Sn合金は固くて脆い金属であり、半田と電極との界面に厚い合金層が形成されると、半田からなる外部端子の密着強度が劣化するという問題があった。

【0010】そこで、Au電極と半田からなる外部端子との間に半田拡散防止層を形成することが考えられるが、従来、スパッタ法等の薄膜形成法では、コストの点や残留応力等の点により薄い半田拡散防止層しか形成できなかったため、半田拡散防止層の欠陥からAu電極に半田が拡散し、半田拡散防止層直下のAu電極と反応するという問題があった。即ち、スパッタ法等の薄膜形成法により形成された膜は、結晶粒が膜厚み方向に成長するため、結晶粒の粒界から半田が拡散し、Au電極と反応し、電極間でショートしたり、Au電極消失による特性劣化などのリフロー耐性に問題が生じてしまう。

【0011】このような問題に対して、半田拡散防止層の厚みを厚くすることで対応可能であるものの、上記したように、高コストになったり、あるいは膜の残留応力により変形等が生じ、薄膜電子部品を作製することが困難であった。

【0012】本発明は、薄い半田拡散防止層により半田の拡散を防止できる薄膜電子部品および基板を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の薄膜電子部品は、支持基板と、該支持基板上に設けられ、絶縁体層および電極層を有する薄膜素子と、前記電極層に半田拡散

防止層を介して接続され、半田からなる外部端子とを具備するとともに、前記半田拡散防止層が、同一材料層を2層以上積層してなるものである。

【0014】このような半田拡散防止層はスパッタリング法で形成され、電極層としてAuからなることが効果的である。

【0015】このようにスパッタリング法により形成された層は、結晶粒が層厚み方向に成長するため、その結晶粒の間に粒界が存在する。本発明では、同一材料層を2層以上積層して半田拡散防止層を構成することにより、1層目の同一材料層とその上層の同一材料層では、結晶粒の形成位置が異なる（不連続）ことに起因して、同一材料層の結晶粒の粒界が厚み方向に直線的に形成されず、一旦界面で不連続となり、1層目の同一材料層の粒界がその上層の同一材料層の結晶粒により閉塞されたり、あるいは1層目の同一材料層と上層の同一材料層の粒界が接続されるとしても迂回して接続され、半田の拡散経路を途絶あるいは長くでき、薄い半田拡散防止層であっても、Auからなる電極層への半田の拡散を抑制でき、リフロー工程における薄膜電子部品の耐リフロー性を向上できる。

【0016】また、本発明では、半田拡散防止層の厚みが3μm以下であることが望ましい。このように半田拡散防止層の厚みを3μm以下とすることにより、薄膜形成法により作製する場合でも低コスト化できるとともに、残留応力による破損を防止できる。

【0017】また、本発明の基板は、上記薄膜電子部品を、その外部端子を介して基体の表面に設けてなるものである。

【0018】

【発明の実施の形態】図1は、本発明の薄膜コンデンサからなる薄膜電子部品を示すもので、この薄膜コンデンサは、支持基板1上に、絶縁体層3（誘電体薄膜）と電極層5、7を有する薄膜素子Aが複数設けられて構成されている。電極層5、7はAuから構成され、絶縁体層3は電極層5、7により挟持されて、薄膜素子A（容量素子）が構成されている。

【0019】薄膜コンデンサの誘電体薄膜を構成する絶縁体層3は、高周波領域において高い比誘電率を有するペロブスカイト型酸化物結晶からなる誘電体でよく、例えばPb(Mg, Nb)O<sub>3</sub>系、Pb(Mg, Nb)O<sub>3</sub>-PbTiO<sub>3</sub>系、Pb(Zr, Ti)O<sub>3</sub>系、Pb(Mg, Nb)O<sub>3</sub>-Pb(Zr, Ti)O<sub>3</sub>系、(Pb, La)ZrTiO<sub>3</sub>系、BaTiO<sub>3</sub>系、(Sr, Ba)TiO<sub>3</sub>系、あるいはこれに他の添加物を添加したり、置換した化合物であってもよく、特に限定されるものではない。

【0020】また、絶縁体層3の膜厚は、高容量と絶縁性を確保するため0.3~1.0μmが望ましい。これは0.3μmよりも薄い場合には被覆性が良好でなく、

絶縁性が低下する場合があります。1.0μmよりも厚い場合には、容量が小さくなる傾向があるからである。絶縁体層3の膜厚は0.4~0.8μmが望ましい。

【0021】Auからなる電極層5、7の膜厚は、高周波領域でのインピーダンスと膜の被覆性を考慮すると0.3~0.5μmが望ましい。電極層5、7の膜厚が0.3μmよりも薄い場合には、一部に被覆されない部分が発生する虞があるからであり、また0.5μmよりも厚い場合は、高周波領域における導体の表皮効果を考慮すると導体層の抵抗は殆ど変化しないからである。

【0022】保護層9は、薄膜コンデンサの表面を保護するためのものであり、例えば、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、ポリイミド樹脂およびBCB（ベンゾシクロブテン）等から構成されている。

【0023】ここで、支持基板1としては、アルミナ、サファイア、窒化アルミ、MgO単結晶、SrTiO<sub>3</sub>単結晶、表面酸化シリコン、ガラス、石英等から選択されるもので特に限定されない。

【0024】薄膜素子A、および絶縁体層3が形成されていない絶縁体層非形成領域Bは保護層9により被覆され、この保護層9には、半田バンプからなる異なる極性の一对の外部端子11a、11bが突出して設けられている。これらの外部端子11a、11bは、絶縁体層非形成領域Bにおける保護層9に形成された貫通孔13a、13b内に形成されている。外部端子11aは下側の電極層5に電気的に接続され、外部端子11bは上側の電極層7に電気的に接続されている。

【0025】外部端子11a、11bは、Pb、Sn、Ag、In、Cu、Bi、SbおよびZnのうち少なくとも2種以上の金属からなることが望ましく、薄膜電子部品の用途に応じて、融点及び共晶温度の異なる材料を選択すればよい。また、外部端子11a、11bはスクリーン印刷、ボールマウンター等の公知の技術を用いて形成される。

【0026】下側電極層5は、外部端子11bを取り囲むように環状にエッチングされ、容量を形成する下側電極層5aと容量を形成しない下側電極層5bとに分離されている。

【0027】また、上側電極層7は、絶縁体層3において外部端子11aを取り囲むように環状にエッチングされ、容量を形成する上側電極層7aと容量を形成しない上側電極層7bとに分離されている。

【0028】そして、上側電極層7上には半田拡散防止層21が形成されており、その形成範囲は上側電極層7と同一領域とされ、この半田拡散防止層21は、スパッタリング法により同一材料層を2層以上積層して構成されている。

【0029】このようにスパッタリング法により2回に分けて同一材料層を形成することにより、図2に示すように、下側の同一材料層21aと上側の同一材料層21

bとが形成され、それぞれの同一材料層21a、21bにおいて厚み方向に結晶粒が成長しており、それぞれの結晶粒は形成位置が異なり、不連続とされ、その粒界については同一材料層21aの粒界が同一材料層21bの結晶粒により閉塞されたり、あるいは結晶粒の粒界が厚み方向に直線的に形成されず、一旦界面で不連続となっている。尚、図2(b)は半田拡散防止層21近傍の断面図であり、図2(a)は(b)の一部拡大図であり、この(a)において白地の部分が結晶粒であり、黒地の部分が粒界であり、ここでスパッタリング法により2回分けて同一材料層を形成するとは、一層目の同一材料層を作製した後、一旦スパッタ放電を停止したり、あるいは蒸着物と被蒸着物との間にシャッタを入れた後、再度同一材料層をスパッタリング法により作製することにより、同一材料層が2層積層された半田拡散防止層21が作製される。

【0030】半田拡散防止層21は、Ti、Cr、Ni、Cu、Pd、Ptから選ばれる1種の金属からなり、半田拡散防止層21の膜厚は、半田バリアの機能を発現するためには $3\mu\text{m}$ 以下、特には $1\sim 3\mu\text{m}$ の厚みが望ましい。半田拡散防止層21とAuからなる上側電極層7との密着性を向上させるために、これらの間に公知の密着材料であるTiやCrを介在させても良い。尚、半田拡散防止層21は同一材料層を2層以上積層して構成しても良いことは勿論である。

【0031】そして、図1に示すように、半田拡散防止層21の上面であって、且つ絶縁体層3が形成されていない絶縁体層非形成領域Bには、半田濡れ性の良好な半田密着層22が形成されている。半田濡れ性の良好な材料として、Ni-Cr、Au等があり、特にAuが望ましい。半田密着層22の膜厚は、その機能を発現するためには $0.01\sim 0.05\mu\text{m}$ の厚みであれば良い。また、図1に示したように、半田密着層22は、半田拡散防止層21よりも狭い面積で形成されることが、半田の上側電極層7への拡散を防止するという点から望ましい。

【0032】外部端子11aは、下側電極5a、上側電極7b、半田拡散防止層21、半田密着層22を介して支持基板1に接合されており、外部端子11bは、下側電極5b、上側電極7a、半田拡散防止層21、半田密着層22を介して支持基板1に接合されている。

【0033】上記のようにして構成された薄膜電子部品は、外部端子11a、11bを、基体(母基板)の表面の電極に接続して用いられる。

【0034】以上のように構成された薄膜電子部品では、薄膜素子Aの電極層5、7として、抵抗の小さいAuからなる電極層5、7を用いたため、高周波での抵抗を低下でき、薄膜素子Aの高周波化を促進できる。さらに、高誘電率のペロブスカイト型酸化物を絶縁体層3として使用できるため、高容量の薄膜コンデンサを形成で

き、高周波でのインピーダンスを低下することができ

る。【0035】また、Auからなる電極層5、7を用いたとしても、外部端子11a、11bが、半田拡散防止層21を介して電極層5、7に電気的に接続されており、半田と電極層5、7との界面における合金層の形成が防止され、外部端子11の密着強度の劣化を抑制できるとともに、リフロー時に半田成分がAuからなる電極層5、7を介して拡散することを防止でき、電極層5、7間のショートや、Auからなる電極層5、7の消失による特性劣化を抑制でき、リフロー耐性を向上できる。

【0036】そして、本発明では、半田拡散防止層21を、スパッタリング法により2回に分けて、下側の同一材料層21aと上側の同一材料層21bとから構成したので、それぞれの同一材料層21a、21bにおいて厚み方向に結晶粒が成長しており、それぞれの結晶粒は形成位置が異なり、不連続とされ、その粒界については同一材料層21aの粒界が同一材料層21bの結晶粒により閉塞されたり、あるいは結晶粒の粒界が厚み方向に直線的に形成されず、一旦界面で不連続となっており、半田の拡散経路を途絶あるいは長くでき、薄い半田拡散防止層21であっても、Auからなる電極層5、7への半田の拡散を抑制でき、リフロー工程における薄膜電子部品の耐リフロー性を向上できる。

【0037】尚、本発明での電極層5、7の材料は低抵抗であり、かつ高温での耐酸化性及び誘電体材料との反応の小さいAuからなる材料であるが、支持基板1との密着性を上げるために、電極層5、7と支持基板1との間にTiやCrに代表される密着層を介在しても良い。

【0038】また、上記例では、本発明を薄膜コンデンサに適用した例について説明したが、本発明では上記例に限定されるものではなく、例えば、薄膜インダクタ、薄膜LCフィルタ、あるいはこれらを複合した薄膜複合部品に適用しても良い。

【0039】また、上記例では、一層の絶縁体層を電極層で挟持した単板型を示したが、複数の絶縁体層と電極層とを交互に積層した薄膜コンデンサであっても良い。

【0040】尚、上記例では、Auからなる半田密着層22を形成した例について説明したが、外部端子の材質によっては、例えばPb、Snの金属からなる外部端子については、半田密着層を介在せずとも半田拡散防止層に密着するため、外部端子の密着強度の劣化を抑制できる。

【0041】

【実施例】電極層ならびに半田拡散防止層、半田密着層の形成はDCスパッタ法を、絶縁体層はゾルゲル法にて作製した。

【0042】先ず、アルミナからなる支持基板上にTiからなる $10\text{nm}$ の密着層を形成し、この密着層の上面に、 $0.3\mu\text{m}$ のAu層を形成し、下側電極層とした。

フォトリソグラフィ技術を用いて、下側電極層をパターン加工した。

【0043】加工された下側電極層に、ゾルゲル法にて合成した $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3\text{-PbTiO}_3\text{-PbZrO}_3$ 塗布溶液を、スピンコート法を用いて塗布し、乾燥させた後、 $380^\circ\text{C}$ で熱処理、 $810^\circ\text{C}$ で焼成を行い、膜厚 $0.8\mu\text{m}$ の $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3\text{-PbTiO}_3\text{-PbZrO}_3$ からなる絶縁体層を形成した。その後フォトリソグラフィ技術を用いて、絶縁体層に貫通孔を形成した。

【0044】次に、絶縁体層の上面に、膜厚 $30\text{nm}$ の $\text{Ti}$ 層を形成して密着層を形成し、この密着層の上面に膜厚 $0.3\mu\text{m}$ の $\text{Au}$ 層を形成し、上側電極層とし、この上側電極層上に、先ず膜厚 $1.5\mu\text{m}$ の $\text{Ni}$ 層からなる同一材料層を形成した後、蒸着を一旦停止し、この後再度 $\text{Ni}$ からなる同一材料層を形成することにより、膜厚 $3\mu\text{m}$ の $\text{Ni}$ 層を形成し、半田拡散防止層とし、この半田拡散防止層上に、膜厚 $0.01\mu\text{m}$ の $\text{Au}$ からなる半田密着層を形成した。このあと、フォトリソグラフィ技術を用いて、半田密着層を加工後、上側電極層及び半田拡散防止層を加工した。

【0045】この後、光感光性 $\text{BCB}$ を塗布し、露光、現像を行い、半田密着層が露出するように、直径約 $100\mu\text{m}$ 、深さ $4.0\mu\text{m}$ の貫通孔を有する保護層を形成した。

【0046】最後に、スクリーン印刷を用いて、加工された半田拡散防止層の上に $\text{Pb}$ が $95$ 重量%、 $\text{Sn}$ が $5$ 重量%からなる高温半田ペーストを転写し、リフローを行い、外部端子を形成し、図1に示したような薄膜コンデンサを得た。

【0047】得られた薄膜コンデンサの有効電極面積は $1.4\text{mm}^2$ であり、周波数 $1\text{kHz}$ での静電容量は約 $40\text{nF}$ であった。

【0048】 $\text{DC}$ スパッタ法により、膜厚 $3\mu\text{m}$ の $\text{Ni}$ 層（同一材料層）を一度に形成して半田拡散防止層とする以外は、上記と同様にして比較例の薄膜コンデンサを作製した。

【0049】得られた薄膜コンデンサについて、外部端子のボールシェア強度を、シェア強度テスターを用いて各リフロー後に測定し、その結果を図3に示した。また、薄膜コンデンサの容量値を各リフロー後に測定し、その結果を図4に示した。

【0050】図3から、繰り返しリフロー処理後のボールシェア強度を測定した結果、膜厚 $3\mu\text{m}$ の半田拡散防止層を一挙に作製した比較例では、リフロー1回目ですでに $10\%$ 強度が低下し、2回目ではインシャルの約 $70\%$ の強度しかないのに対して、本発明の薄膜コンデンサでは、リフロー10回目でもインシャルの約 $5\%$ 程度しか低下しておらず、外部端子の強度劣化が改善されていることが判る。

【0051】図4から、比較例の試料では、リフロー3回目から、静電容量が急激に低下し、7回目でショートが発生した。この静電容量の低下は半田の $\text{Au}$ 電極層への拡散により、容量を形成する電極層の有効面積が低下したためである。また7回目では極性の異なる電極層間が半田の拡散により短絡したため、導通が生じていることが判る。

【0052】これに対し、本発明の薄膜コンデンサでは、リフロー10回目においても、容量の変化はほとんど生じていないことから、半田の拡散及び外部端子の熱収縮に伴う応力は絶縁体層にはほとんど影響されず、絶縁が確保されていることがわかる。

【0053】また、膜厚 $1\mu\text{m}$ からなる $\text{Ni}$ 層（同一材料層）を2回に分けて形成することにより、膜厚 $2\mu\text{m}$ の $\text{Ni}$ 層からなる半田拡散防止層を形成したところ、上記した半田拡散防止層の厚みが $3\mu\text{m}$ の場合と同様の効果を示すことを確認した。

【0054】また、半田バンプの組成以外のプロセスは同様にして、 $\text{Pb}95\text{Sn}5$ 半田、 $\text{Sn}-3.5\text{Ag}$ 半田、 $\text{Sn}-3\text{Ag}-0.7\text{Cu}$ 半田の半田バンプを有する薄膜コンデンサを作製し、同様の評価を行った。リフロー温度こそ半田バンプ組成によって異なるものの、密着強度の劣化、および静電容量の挙動は共晶半田バンプでの結果と同様であり、本発明の構造がリフロー耐性に対して大きな効果があることを確認した。

【0055】

【発明の効果】本発明の薄膜電子部品は、同一材料層を2層以上積層して半田拡散防止層を構成することにより、1層目の同一材料層とその上層の同一材料層では、結晶粒の形成位置が異なる（不連続）ことに起因して、同一材料層の結晶粒の粒界が厚み方向に直線的に形成されず、一旦界面で不連続となり、1層目の同一材料層の粒界がその上層の同一材料層の結晶粒により閉塞されたり、あるいは1層目の同一材料層と上層の同一材料層の粒界が接続されるとしても迂回して接続され、半田の拡散経路を途絶あるいは長くでき、薄い半田拡散防止層であっても、 $\text{Au}$ からなる電極層への半田の拡散を抑制でき、リフロー工程における薄膜電子部品の耐リフロー性を向上できる。

【0056】また、半田拡散防止層の材質を $\text{Ni}$ に選択した際、半田拡散防止層と外部端子間に、通常外部端子の密着層として用いられる $\text{Au}$ を使用せずとも外部端子の密着は確保でき、その結果、半田拡散防止層直下の $\text{Au}$ と半田の材質の1つである $\text{Sn}$ とが合金が生成されることも無く、外部端子の密着強度の劣化をさらに抑制することができる。

【図面の簡単な説明】

【図1】本発明の薄膜電子部品を示す断面図である。

【図2】半田拡散防止層を示すもので、(a)は(b)の断面図である。

【図3】リフロー回数とボールシェア強度の関係を示すグラフである。

【図4】リフロー回数と静電容量の関係を示したグラフである。

【符号の説明】

1・・・支持基板

3・・・絶縁体層

5・・・下側電極層

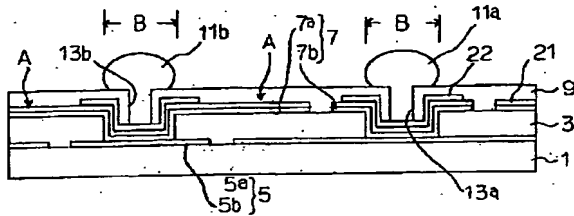
7・・・上側電極層

11a、11b・・・外部端子

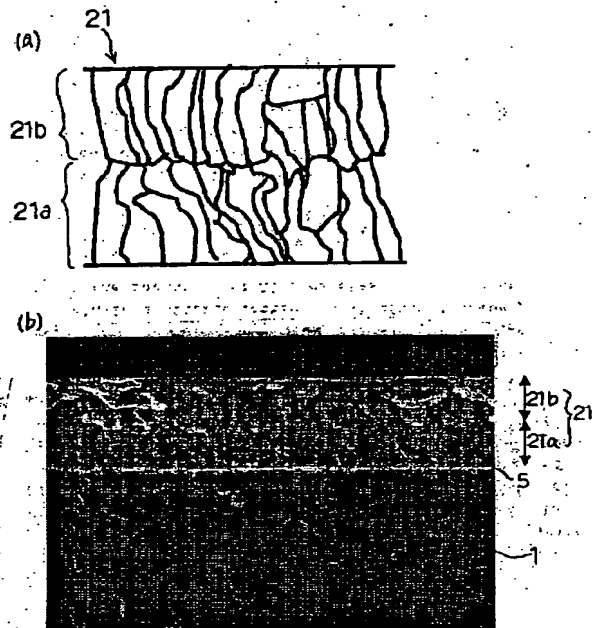
21a、21b・・・半田拡散防止層

A・・・薄膜素子

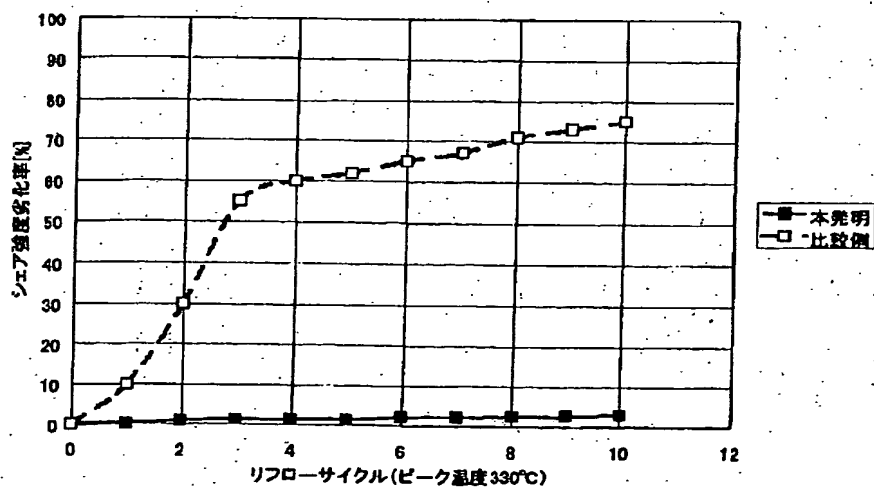
【図1】



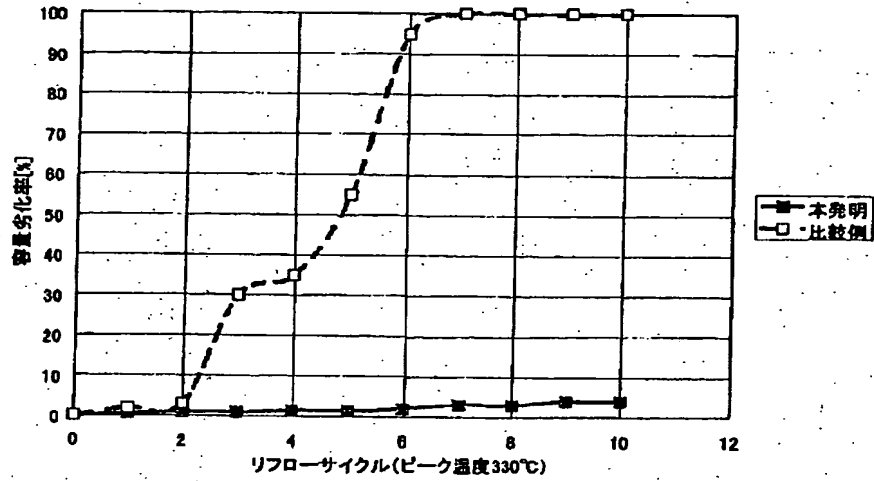
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5E001 AB06 AC04 AC09 AC10 AE00  
 AE03 AG00 AG01 AH01 AH03  
 AH08 AH09 AJ01 AJ02 AZ01  
 5E082 AB03 BB05 BC23 CC03 EE05  
 EE18 EE23 EE37 EE47 FG04  
 FG26 FG27 FG46 FG54 GG01  
 GG11 HH43 HH47 KK01 KK07  
 MM24 PP09

**THIN FILM ELECTRONIC PART AND BOARD**

Patent Number: JP2001284485  
Publication date: 2001-10-12  
Inventor(s): TAKATO JUNYA; KUWA SHUNICHI  
Applicant(s): KYOCERA CORP  
Requested Patent: ☐ JP2001284485  
Application Number: JP20000092472 20000329  
Priority Number(s):  
IPC Classification: H01L23/12; H01G4/33; H01G4/12; H01G4/38  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a thin film electronic part and a board capable of preventing the solder dispersion by a thin solder dispersion prevention layer.

**SOLUTION:** The thin film electronic part is provided with a support board 1, a thin film element A provided on the support board 1 and having an insulating layer 3 and electrode layers 5, 7, and outside terminals 11a, 11b comprising solder connected to the electrode layers 5, 7 through the solder dispersion prevention layer 21, which laminates two or more same material layers 21a, 21b.

---

Data supplied from the esp@cenet database - I2